


MANUFACTURE OF SEMICONDUCTOR DEVICE, MANUFACTURE OF ELECTRO-OPTICAL DEVICE, SEMICONDUCTOR DEVICE AND THE ELECTRO-OPTICAL DEVICE**Publication number:** JP2000312006**Publication date:** 2000-11-07**Inventor:** MURAIDE MASAO**Applicant:** SEIKO EPSON CORP**Classification:**

- international: H01L21/8242; G02F1/136; G02F1/1362; G02F1/1368; H01L21/336; H01L21/84; H01L27/108; H01L27/12; H01L29/786; G02F1/13; H01L21/02; H01L21/70; H01L27/108; H01L27/12; H01L29/66; (IPC1-7): H01L29/786; G02F1/1368; H01L21/336; H01L21/8242; H01L27/108

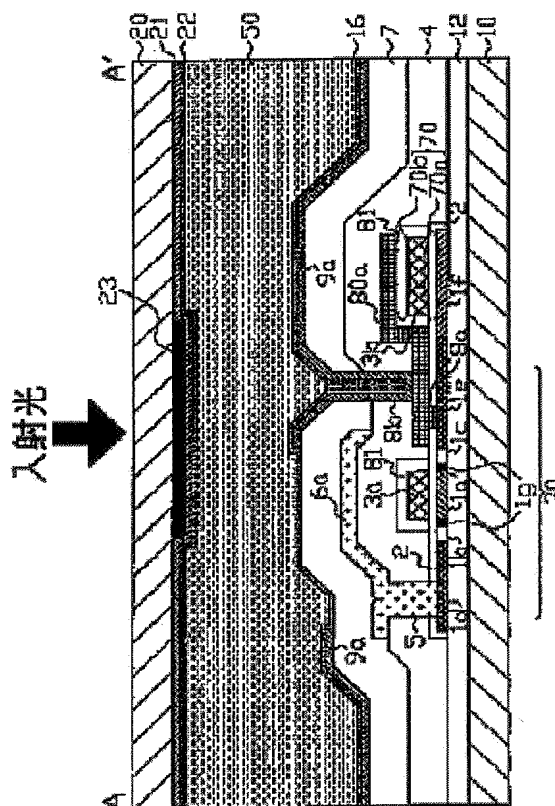
- european: G02F1/1362C; H01L21/336D2B; H01L21/84; H01L27/12; H01L29/786B4B; H01L29/786B5

Application number: JP20000027112 20000204**Priority number(s):** JP20000027112 20000204; JP19990050673 19990226**Also published as:** US6569717 (B1)

Report a data error here

Abstract of JP2000312006

PROBLEM TO BE SOLVED: To provide a highly reliable semiconductor device or an electro-optical device having a thin-film transistor, and having no alignment deviation, even when the thin film transistor is brought into a microscopic state. **SOLUTION:** A liquid crystal device, which is an example of an electro-optical device, is provided with a TFT 30 formed on a TFT array substrate 10, a data line 6a, a scanning line 3a, the second capacitor electrode 3b and a pixel electrode 9a. The pixel electrode and the TFT are electrically connected by two contact holes 8a and 8b relayed by a conductive layer 80a. A second insulating thin film 81 is pinched by the second capacity electrode and a part of the conductive layer, and the second accumulation capacitor is formed. The second insulating thin film is composed of the scanning line and the oxide film of the second capacitor electrode.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3399432号
(P3399432)

(45) 発行日 平成15年 4 月21日 (2003. 4. 21)

(24) 登録日 平成15年 2 月21日 (2003. 2. 21)

(51) Int.Cl.⁷

識別記号

F I

H 0 1 L 21/336

G 0 2 F 1/1368

G 0 2 F 1/1368

H 0 1 L 29/78

6 1 2 Z

H 0 1 L 29/786

請求項の数19(全 18 頁)

(21) 出願番号 特願2000-27112(P2000-27112)
(22) 出願日 平成12年 2 月 4 日 (2000. 2. 4)
(65) 公開番号 特開2000-312006(P2000-312006A)
(43) 公開日 平成12年11月 7 日 (2000. 11. 7)
審査請求日 平成12年 2 月 4 日 (2000. 2. 4)
(31) 優先権主張番号 特願平11-50673
(32) 優先日 平成11年 2 月26日 (1999. 2. 26)
(33) 優先権主張国 日本 (J P)

前置審査

(73) 特許権者 000002369
セイコーエプソン株式会社
東京都新宿区西新宿 2 丁目 4 番 1 号
(72) 発明者 村出 正夫
長野県諏訪市大和 3 丁目 3 番 5 号 セイ
コーエプソン株式会社内
(74) 代理人 100095728
弁理士 上柳 雅彦 (外 2 名)
審査官 菅野 智子

最終頁に続く

(54) 【発明の名称】 電気光学装置の製造方法及び電気光学装置

1

(57) 【特許請求の範囲】

【請求項 1】 基板上に、薄膜トランジスタのソース・ドレイン領域並びに蓄積容量の第 1 容量電極となる半導体層を形成する工程と、
前記半導体層上に第 1 絶縁薄膜を形成する工程と、
前記第 1 絶縁薄膜上にゲート電極及び前記蓄積容量の第 2 容量電極を同一膜により形成する工程と、
前記ゲート電極及び前記第 2 容量電極上に第 2 絶縁薄膜を形成する工程と、
前記半導体層に接続されるとともに、前記第 2 絶縁薄膜を介して前記第 2 容量電極に対向するように前記蓄積容量の第 3 容量電極となる導電層を形成する工程と、
前記導電層上に反射防止膜を形成する工程と、
前記反射防止膜上に第 1 層間絶縁膜を形成する工程と、
前記第 1 層間絶縁膜上の前記薄膜トランジスタの領域に

2

重なり、前記薄膜トランジスタのソース領域に電気的接続されるデータ線を形成する工程とを有することを特徴とする電気光学装置の製造方法。

【請求項 2】 前記第 2 絶縁薄膜は前記ゲート電極及び前記第 2 容量電極の表面を酸化させることにより形成された酸化膜であることを特徴とする請求項 1 に記載の電気光学装置の製造方法。

【請求項 3】 前記酸化膜は前記ゲート電極及び前記第 2 容量電極の表面を 900℃以上 1200℃以下にて熱酸化させることにより形成された熱酸化膜であることを特徴とする請求項 2 に記載の電気光学装置の製造方法。

【請求項 4】 前記熱酸化膜を形成する前に前記半導体層に選択的に不純物をドーピングする工程を有し、前記熱酸化膜を形成する工程において、前記半導体層にドーピングされた不純物の活性化を同時に行うことを特徴とする請求

項3に記載の電気光学装置の製造方法。

【請求項5】 前記第2絶縁薄膜を形成する工程以降の各工程は、400℃以下の雰囲気で行われることを特徴とする請求項4に記載の電気光学装置の製造方法。

【請求項6】 前記ゲート電極及び前記第2容量電極はシリコン薄膜からなることを特徴とする請求項1乃至請求項5のいずれか一項に記載の電気光学装置の製造方法。

【請求項7】 前記第2絶縁薄膜は前記ゲート電極及び前記第2容量電極の表面を陽極酸化させて形成された陽極酸化膜であることを特徴とする請求項2に記載の電気光学装置の製造方法。

【請求項8】 前記ゲート電極及び前記第2容量電極は、タンタル、アルミニウムのいずれかからなることを特徴とする請求項7に記載の電気光学装置の製造方法。

【請求項9】 前記第2絶縁薄膜は10～200nm以下であることを特徴とする請求項2乃至請求項8のいずれか一項に記載の電気光学装置の製造方法。

【請求項10】 前記第2絶縁薄膜と前記導電層との間に第3絶縁薄膜を形成する工程を有することを特徴とする請求項1乃至請求項9のいずれか一項に記載の電気光学装置の製造方法。

【請求項11】 前記第3絶縁薄膜は酸化シリコン膜及び窒化シリコン膜のうちの少なくとも一方からなることを特徴とする請求項10に記載の電気光学装置の製造方法。

【請求項12】 前記第2絶縁薄膜を形成する前に、前記ゲート電極をマスクとして前記半導体層に不純物をドーピングする工程を有し、しかる後に前記ゲート電極及び前記第2容量電極の表面を酸化して前記第2絶縁薄膜を形成する工程を有することを特徴とする請求項2に記載の電気光学装置の製造方法。

【請求項13】 前記第2絶縁薄膜を形成する前に、前記ゲート電極をマスクとして前記半導体層に第1濃度の不純物をドーピングする工程と、前記ゲート電極を覆うように且つ前記ゲート電極よりも幅広のマスクを介して前記半導体層に第2濃度の不純物をドーピングする工程とを有することを特徴とする請求項2に記載の電気光学装置の製造方法。

【請求項14】 前記第2絶縁薄膜を形成する前に、前記ゲート電極をマスクとして前記半導体層に第1濃度の不純物をドーピングする工程を有し、前記第2絶縁薄膜を形成する工程の後に、前記半導体層に選択的に第2濃度の不純物をドーピングする工程を有することを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項15】 前記第2絶縁薄膜を形成した後に、前記半導体層に選択的に不純物をドーピングする工程を有することを特徴とする請求項1又は請求項2に記載の電気光学装置の製造方法。

【請求項16】 前記第3容量電極は、導電性のポリシ

リコン膜と高融点金属との2層以上の積層膜からなることを特徴とする請求項1乃至請求項15のいずれか一項に記載の電気光学装置の製造方法。

【請求項17】 前記基板に、前記薄膜トランジスタのドレイン領域に接続された画素電極を有する、請求項1乃至請求項16のいずれか一項に記載の電気光学装置の製造方法であって、前記データ線上に第2層間絶縁膜を形成する工程と、前記第1層間絶縁膜及び前記第2層間絶縁薄膜に形成されたコンタクトホールを介して前記導電層に接続されるように前記画素電極を形成する工程とを有することを特徴とする電気光学装置の製造方法。

【請求項18】 基板上に、薄膜トランジスタのソース・ドレイン・チャネル領域並びに蓄積容量の第1容量となる半導体層と、

前記半導体層上に形成された第1絶縁薄膜と、前記第1絶縁薄膜上に形成されたゲート電極及び前記蓄積容量の第2容量電極と、

前記ゲート電極及び前記第2容量電極の表面に形成された第2絶縁薄膜と、

前記半導体層上に接続されるとともに、前記第2絶縁薄膜を介して前記第2容量電極に対向するように形成された前記蓄積容量の第3容量電極となる導電層と、

前記導電層上に形成された反射防止膜と、前記反射防止膜上に形成された第1層間絶縁膜と、

前記第1層間絶縁膜上の前記薄膜トランジスタの領域に重なり、前記薄膜トランジスタのソース領域に電気的接続されるデータ線とを有し、

前記薄膜トランジスタのソース・ドレイン領域の少なくとも一方は高濃度不純物領域と、前記高濃度不純物領域と前記チャネル領域との間に配置された低濃度不純物領域とを有し、且つ前記低濃度不純物領域と前記チャネル領域との間には前記チャネル領域に隣接するオフセット領域を有することを特徴とする電気光学装置。

【請求項19】 前記薄膜トランジスタのドレイン領域に電気的接続された画素電極を有することを特徴とする請求項18に記載の電気光学装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス駆動方式の液晶装置等の電気光学装置の製造方法、特に基板上に蓄積容量が付加された薄膜トランジスタ（Thin Film Transistor:以下適宜、TFTと称す）を備える電気光学装置の製造方法及び電気光学装置に関する。

【0002】

【従来の技術】従来、TFT駆動によるアクティブマトリクス駆動方式の液晶装置において、縦横に夫々配列された多数の走査線及びデータ線の各交点に対応して設けられたTFTでは、ゲート電極が走査線に接続され、ソ

ース領域がデータ線に接続され、そして特にドレイン領域は、TFTや配線を構成する各種の層や画素電極を相互に絶縁するための層間絶縁膜に開孔されたコンタクトホールを介して画素電極に接続されている。ここで、TFTアレイ基板側から見て半導体層の上にゲート電極が設けられるトップゲート構造を有する正スタガ型又はコプラナー型のポリシリコンTFTの場合などには特に、積層構造における半導体層から画素電極までの層間距離が例えば1000nm程度又はそれ以上に長い場合、両者を電気接続するためのコンタクトホールを開孔するのが困難となる。より具体的には、エッチングを深く行うのにつれてエッチング精度が低下して、目標とする半導体層を突き抜けて開孔してしまう可能性が出て来るため、ドライエッチングのみで、このような深いコンタクトホールを開孔することが極めて困難となる。このため、ドライエッチングにウエットエッチングを組み合わせで行ったりするが、すると今度はウエットエッチングによりコンタクトホールの径が大きくなってしまい、限られた基板上領域において配線や電極を必要なだけレイアウトするのが困難となるのである。

【0003】他方、上述の如き電気光学装置の技術分野に限らず、半導体装置の技術分野においても、ダイナミック型シフトレジスタやDRAM (Dynamic Random Access Memory) には、TFTに蓄積容量が付加される構成が採用されている。

【0004】

【発明が解決しようとする課題】この種の電気光学装置においては、表示画像の高品位化という一般的な要請が強く、このためには、画像表示領域の高精細化或いは画素ピッチの微細化及び高画素開口率化（即ち、各画素において、表示光が透過しない非画素開口領域に対する、表示光が透過する画素開口領域の比率を高めること）が極めて重要となる。

【0005】しかしながら、画素ピッチの微細化が進むと、電極サイズや配線幅、更にコンタクトホール径などには製造技術により本質的な微細化の限界があるため、相対的にこれらの配線や電極等が画像表示領域を占有する比率が高まるため、画素開口率が低くなってしまいう問題点がある。更に、このように画素ピッチの微細化が進むと、限られた基板上領域に作り込まねばならない、画素電極に信号電圧を保持するための蓄積容量を充分な大きさとすることが困難となるという問題点がある。

【0006】他方、前述の如く半導体装置の技術分野において蓄積容量が付加されるダイナミック型シフトレジスタやDRAMメモリなどの場合にも、上述した画素スイッチング用TFTの場合と同様に、基板上に形成された半導体層に至るコンタクトホールの開孔工程等との関連で回路ピッチの微細化や蓄積容量の増大が困難であるという問題点が存在する。

【0007】本発明は上述の問題点に鑑みなされたものであり、画素ピッチや回路ピッチを微細化しても比較的簡単な構成を用いて、画素電極、配線等とTFTとを良好に中継する構成や蓄積容量を増大させる構成が可能であり、しかも装置の信頼性が高い電気光学装置の製造方法を提供することを課題とする。

【0008】

【課題を解決するための手段】本発明の電気光学装置の製造方法は、上記課題を解決するために、基板上に、薄膜トランジスタのソース・ドレイン領域並びに蓄積容量の第1容量電極となる半導体層を形成する工程と、前記半導体層上に第1絶縁薄膜を形成する工程と、前記第1絶縁薄膜上にゲート電極及び前記蓄積容量の第2容量電極を同一膜により形成する工程と、前記ゲート電極及び前記第2容量電極上に第2絶縁薄膜を形成する工程と、前記半導体層に接続されるとともに、前記第2絶縁薄膜を介して前記第2容量電極に対向するように前記蓄積容量の第3容量電極となる導電層を形成する工程と、前記導電層上に反射防止膜を形成する工程と、前記反射防止膜上に第1層間絶縁膜を形成する工程と、前記第1層間絶縁膜上の前記薄膜トランジスタの領域に重なり、前記薄膜トランジスタのソース領域に電氣的接続されるデータ線を形成する工程とを有することを特徴とする。

【0009】この態様によれば、ソース・ドレイン領域となる半導体層により第1容量電極が形成され、走査線と第2容量電極を同一膜で形成し、さらに、第2容量電極上に第2絶縁薄膜を介して第3容量電極となる導電層が形成されるため、第1絶縁薄膜を介して第1容量電極と第2容量電極とにより第1蓄積容量が形成され、第2絶縁薄膜を介して第2容量電極と導電層とにより第2蓄積容量が形成されるため、比較的少ない工程で蓄積容量を付与する構成が容易に得られる。

【0010】そして、特に、第2容量電極上のスペースを利用して導電層を形成することにより、ゲート電極上に導電層を形成しないで済むため、ゲート電極と導電層と接続されるドレイン領域との間における寄生容量の付加を防ぐことができ、従って寄生容量により画質の劣化を招かないで済む。また、第3容量電極となる導電層上に反射防止膜が形成されているため、導電層による表面反射が緩和される。

【0011】本発明の電気光学装置の製造方法の別の態様では、前記第2絶縁薄膜は前記ゲート電極及び前記第2容量電極の表面を酸化させることにより形成された酸化膜を有することを特徴とする。

【0012】この態様によれば、誘電体膜となる第2絶縁薄膜は、ゲート電極と第2容量電極の表面が酸化されて形成されたものである。従って、酸化膜である第2絶縁薄膜とゲート電極及び第2容量電極との間には均一性及び密着性の高い良好な界面が得られる上に、第2絶縁薄膜は高耐圧であり比較的薄くて欠陥の少ない絶縁膜と

して形成可能である。特に導電層の一部を、第2容量電極と第2絶縁薄膜を介して対向する第3容量電極とすることにより、当該高耐圧で薄く欠陥の少ない第2絶縁薄膜が誘電体膜となるため、装置の信頼性が高く大容量の蓄積容量を作成できる。仮に酸化処理とは異なるスパッタリング、CVD (Chemical Vapor Deposition) 処理等でゲート電極及び第2容量電極上に誘電体膜を形成したのでは、耐圧が低いと共に絶縁不良が生じ易くなってしまふ。或いは、耐圧を高め絶縁不良をなくすためには、非常に厚い誘電体膜を形成する必要性が生じて、当該誘電体膜の存在に起因するその上方に形成される各種の層における段差が生じてしまったり、製造コストの上昇を招いたりしてしまふ。特に、このように誘電体膜が厚くなる程、単位面積当たりの蓄積容量が小さくなるため、蓄積容量の誘電体膜として不適切になってしまふ。これに対して、本発明の電気光学装置では誘電体膜は、上述の如き酸化膜からなるので、例えば薄膜トランジスタにおけるゲート絶縁膜と同程度或いはそれ以上に薄くて良質な絶縁膜として構成可能であり、電気光学装置全体としての装置信頼性や歩留まりを向上できる。

【0013】この態様において、前記酸化膜は前記ゲート電極及び前記第2容量電極の表面を900℃以上1200℃以下にて熱酸化させることにより形成された熱酸化膜であることを特徴とする。

【0014】この態様によれば、酸化膜を形成する工程において、例えば石英基板上における高温プロセスを利用して、高耐圧であり比較的薄くて欠陥の少ない酸化膜をゲート電極及び第2容量電極上の酸化膜として比較的容易に形成できる。

【0015】この態様において、前記熱酸化膜を形成する前に前記半導体層に選択的に不純物をドーピングする工程を有し、前記熱酸化膜を形成する工程において、前記半導体層にドーピングされた不純物の活性化を同時に行うことを特徴とする。

【0016】この態様によれば、半導体層への不純物のドーピング後に、不純物を結晶格子中に結合させるために通常必要となる加熱による不純物の活性化処理を、酸化膜を形成する工程で同時に行うことができるので、製造プロセスの効率化が図れる。

【0017】更にこの場合、前記第2誘電体膜を形成する工程以降の各工程は、400℃以下の雰囲気で行われてもよい。

【0018】このような態様によれば、酸化膜を形成した後は、耐熱性の低い材料をその後の層形成に用いることができ有利である。

【0019】この態様において、前記ゲート電極及び前記第2容量電極はシリコン薄膜により形成されてもよい。

【0020】この態様によれば、誘電体膜を含む酸化膜は、ポリシリコン膜の表面部が熱酸化されてなる酸化シ

リコン膜であるため、ゲート電極及び第2容量電極と酸化膜との間には均一性及び密着性の高い良好な界面が得られるので、当該酸化膜は、高耐圧であり薄くて欠陥の少ない絶縁膜として形成可能である。

【0021】本発明の電気光学装置の製造方法の別の態様は、前記酸化膜は前記ゲート電極及び前記第2容量電極の表面を陽極酸化させて形成された陽極酸化膜であることを特徴とする。

【0022】この態様によれば、誘電体膜を含む酸化膜は、例えばタンタル、アルミニウム等の陽極酸化可能な金属膜の表面部が陽極酸化されてなる金属酸化膜であるため、ゲート電極及び第2容量電極と酸化膜との間には均一性及び密着性の高い良好な界面が得られる。従って、当該酸化膜は、高耐圧であり薄くて欠陥の少ない絶縁膜として形成可能である。特にタンタル膜を用いると、誘電率が21.7程度である酸化膜たる酸化タンタル膜は、誘電率が3.9程度である上述の酸化シリコン膜よりも誘電率の高い絶縁膜として得られる。

【0023】本発明の電気光学装置の製造方法の別の態様では、前記第2絶縁薄膜は10～200nm以下であることを特徴とする。

【0024】この態様によれば、第2絶縁薄膜の膜厚は、10～200nm以下の比較的薄い膜からなるので、第2絶縁薄膜の突き抜けによる電極間の短絡が生じない程度に誘電体膜を薄く構成することが可能となり、特に上述の如く誘電体膜を蓄積容量の誘電体膜として利用する際に有利となる。そして、この程度に薄く形成しても、走査線及び第2容量電極と第2絶縁薄膜との間には、良好な界面が得られる。

【0025】本発明の電気光学装置の製造方法の別の態様は、前記第2絶縁薄膜と前記導電層との間に第3絶縁薄膜を形成する工程を有することを特徴とする。

【0026】この態様によれば、第2絶縁薄膜の上に第3絶縁薄膜を備え、積層構造或いは多層構造になるため、誘電体膜をより高耐圧でより欠陥の少ない絶縁膜とすることが可能となる。また、大型のマザー基板を用いた場合でも、基板の熱収縮や反りを抑制することができる。

【0027】この態様では、前記第3絶縁薄膜は、酸化シリコン膜及び窒化シリコン膜のうち少なくとも一方からなってもよい。

【0028】このように構成すれば、二層以上の酸化シリコン膜や窒化シリコン膜が積層されてなる積層構造或いは多層構造が得られる。尚、このような酸化シリコン膜や窒化シリコン膜は、例えばCVD法、スパッタリング法等により形成され、酸化シリコン膜と窒化シリコン膜とを交互に多数積層することも可能である。

【0029】本発明の電気光学装置の製造方法の別の態様は、前記第2絶縁薄膜を形成する前に、前記ゲート電極をマスクとして前記半導体層に不純物をドーピングする工

程を有し、しかる後に前記ゲート電極及び前記第2容量電極の表面を酸化させて前記第2絶縁薄膜を形成する工程を有することを特徴とする。

【0030】この態様によれば、所望の幅よりも太めに形成したゲート電極をマスクとして半導体層に不純物をドーピングした後、半導体層を酸化させるため、この酸化工程によりゲート電極及び第2容量電極の幅が減少し、この減少分だけチャネル領域の幅方向についてはゲート電極の端と不純物がドーピングされた領域の端との間に不純物がドーピングされない領域が形成される。従って、半導体層の不純物がドーピングされなかった領域をオフセット領域とするか、あるいは不純物の加速エネルギーを調整して選択的に低濃度に不純物をドーピングすることによりLDD (Lightly Doped Drain) 領域とすることができ、いずれにしてもフォトリソグラフィ工程を削減することができる。さらに、フォトリソグラフィ工程における露光装置によるアライメントずれが原因で発生する特性のばらつきを抑えることができるので、薄膜トランジスタの短チャネル化が可能となり、半導体装置の微細化に対応することができる。

【0031】本発明の電気光学装置の製造方法の別の態様は、前記第2絶縁薄膜を形成する前に、前記ゲート電極をマスクとして前記半導体層に第1濃度の不純物をドーピングする工程と、前記ゲート電極を覆うように且つ前記ゲート電極よりも幅広のマスクを介して前記半導体層に第2濃度の不純物をドーピングする工程とを有することを特徴とする。

【0032】この態様によれば、所望の幅よりも太めに形成されたゲート電極をマスクとして半導体層に不純物をドーピングした後、半導体層を酸化させるため、上述のようにゲート電極が酸化による減少分だけチャネル領域の幅方向についてはゲート電極の端と不純物がドーピングされた領域の端との間に不純物がドーピングされない領域が形成され、オフセット領域となる。さらに、ゲート電極を覆うように且つゲート電極よりも幅広のマスクを介して半導体層に第2濃度の不純物をドーピングするため、マスク直下の半導体層にLDD領域を形成することができる。従って、フォトリソグラフィ工程を削減してオフセット領域とLDD領域の両方を有する薄膜トランジスタを形成することができる。これにより、薄膜トランジスタの耐圧を更に向上させることができ、薄膜トランジスタの短チャネルが可能となり、半導体装置の微細化に対応することができる。

【0033】本発明の電気光学装置の製造方法の別の態様は、前記第2絶縁薄膜を形成する前に、前記ゲート電極をマスクとして前記半導体層に第1濃度の不純物をドーピングする工程を有し、前記第2絶縁薄膜を形成する工程の後に、前記半導体層に選択的に第2不純物をドーピングする工程を有することを特徴とする。

【0034】この態様によれば、所望の幅よりも太めに

形成したゲート電極をマスクとして半導体層に不純物をドーピングした後、半導体層を酸化させるため、この酸化工程によりゲート電極の幅が減少し、この減少分だけゲート電極の端と不純物がドーピングされた領域端との間に不純物がドーピングされない領域が形成される。さらに、半導体層に選択的に、例えばゲート電極の側壁に形成された第2絶縁薄膜の厚みを考慮した加速エネルギーで、半導体層のうちのゲート電極の端と第1濃度の不純物がドーピングされた領域の端との間の不純物がドーピングされない領域に第2濃度の不純物をドーピングすることによりLDD領域を形成することができる。即ち、フォトリソグラフィ工程なしに不純物をドーピングしてLDD領域を形成することができるため、歩留まりの低下を防ぐことができるとともにアライメントずれが原因で発生する特性のばらつきを防ぐことができる。従って、薄膜トランジスタの短チャネル化が可能であり、高精細化に対応した半導体装置を提供することができる。

【0035】本発明の電気光学装置の製造方法の別の態様は、前記第2絶縁薄膜を形成した後に、前記半導体層に選択的に不純物をドーピングする工程を有することを特徴とする。

【0036】この態様によれば、ゲート電極の側壁に第2絶縁薄膜が形成されるため、不純物の加速エネルギーを調整することにより、ゲート電極及びゲート電極の側壁以外の半導体層への不純物のドーピングと、ゲート電極側壁に形成された第2絶縁薄膜直下の半導体層への不純物のドーピングを不純物の加速エネルギーを調整することにより、適宜行うことができる。従って、フォトリソグラフィ工程なしにチャネル領域に隣接するオフセット領域あるいはLDD領域を形成することが可能となり、歩留まりの低下を防ぐことができるとともにアライメントずれによる特性のばらつきを防ぐことができる。

【0037】本発明の電気光学装置の製造方法の別の態様は、前記第3容量電極は、導電性のポリシリコン膜と高融点金属との2層以上の積層膜からなることを特徴とする。

【0038】この態様によれば、導電性のポリシリコン膜からなる第3容量電極は、遮光膜としての機能は発揮しないが、蓄積容量を増加させる機能及び中継機能は十分に発揮し得る。また半導体層と導電性のポリシリコン膜を電気接続する際に、同じポリシリコン膜で形成すると、コンタクト抵抗を大幅に低減することができる。また、このような導電性のポリシリコン膜の上に高融点金属を積層すれば、遮光膜としての機能を発揮するとともに、さらに抵抗を下げることができる。

【0039】本発明の電気光学装置の製造方法は、前記基板に前記薄膜トランジスタのドレイン領域に接続された画素電極を有する電気光学装置の製造方法であって、前記データ線上に第2層間絶縁膜を形成する工程と、前記第1層間絶縁膜及び前記第2層間絶縁膜に形成された

コンタクトホールを介して前記導電層に接続されるように前記画素電極を形成する工程とを有することを特徴とする。

【0040】本発明の電気光学装置によれば、基板上には、走査線及び第2容量電極、第2絶縁薄膜、導電層、第1層間絶縁膜、データ線の順に形成されており、画素電極は更にその上方に形成されている。そして、データ線は、第1絶縁薄膜及び第1層間絶縁膜に形成されたコンタクトホールを介して、半導体層のソース領域に電気接続されている。従って、走査線とデータ線との間の層として介在する導電層を様々な用途に利用することが可能となる。即ち、導電層と半導体層とをコンタクトホールを介して電気接続すると共に導電層と画素電極とをコンタクトホールを介して電気接続することにより、導電層を経由して半導体層と画素電極とを電気接続する構成が可能となる。更に導電層の一部を、半導体層の一部や第2容量電極と第2絶縁薄膜を介して対向する第3容量電極とすることにより、画素電極に対して大容量の蓄積容量を付与する構成も可能となる。また、画素電極からドレイン領域まで一つのコンタクトホールを開孔する場合と比較して、コンタクトホールの径を小さくできる。即ち、コンタクトホールを深く開孔する程エッチング精度は落ちるため、薄い半導体層における突き抜けを防止するために、コンタクトホールの径を小さくできるドライエッチングを途中で停止して、最終的にウエットエッチングで半導体層まで開孔するように工程を組まねばならない。このため、指向性のないウエットエッチングによりコンタクトホールの径が広がらざるを得ないのである。これに対して本発明では、画素電極及びドレイン領域間を2つの直列なコンタクトホールにより接続すればよいので、各コンタクトホールをドライエッチングにより開孔することが可能となるか、或いは少なくともウエットエッチングにより開孔する距離を短くすることが可能となる。この結果、各コンタクトホールの径を小さくでき、半導体層側のコンタクトホールにおける導電層の表面に形成される窪みや凹凸も小さくて済むので、その上方に位置する画素電極部分における平坦化が促進される。更に、画素電極側のコンタクトホールにおける画素電極の表面に形成される窪みや凹凸も小さくて済むので、この画素電極部分における平坦化が促進される。これらの結果、画素電極表面の窪みや凹凸に起因する液晶等の電気光学物質におけるディスクリネーション等の不良が低減される。

【0041】本発明の電気光学装置は、基板上に、薄膜トランジスタのソース・ドレイン・チャンネル領域並びに蓄積容量の第1容量となる半導体層と、前記半導体層上に形成された第1絶縁薄膜と、前記第1絶縁薄膜上に形成されたゲート電極及び前記蓄積容量の第2容量電極と、前記ゲート電極及び前記第2容量電極の表面に形成された第2絶縁薄膜と、前記半導体層上に接続されると

ともに、前記第2絶縁薄膜を介して前記第2容量電極に対向するように形成された前記蓄積容量の第3容量電極となる導電層と、前記導電層上に反射防止膜を形成する工程と、前記反射防止膜上に形成された第1層間絶縁膜と、前記第1層間絶縁膜上の前記薄膜トランジスタの領域に重なり、前記薄膜トランジスタのソース領域に電氣的接続されるデータ線とを有し、前記薄膜トランジスタのソース・ドレイン領域の少なくとも一方は高濃度不純物領域と、前記高濃度不純物領域と前記チャンネル領域との間に配置された低濃度不純物領域とを有し、且つ前記低濃度不純物領域と前記チャンネル領域との間には前記チャンネル領域に隣接するオフセット領域を有する特徴とする。

【0042】この態様によれば、薄膜トランジスタはオフセット領域及びLDD領域を有するため、オフ電流特性の極めて良好な半導体装置を提供することができる。また、第3容量電極となる導電層上に反射防止膜が形成されているため、導電層による表面反射が防止される。

【0043】本発明の電気光学装置の態様は、薄膜トランジスタのドレイン領域に電氣的接続された画素電極を有することを特徴とする。

【0044】

【0045】

【0046】

【0047】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。まず、半導体装置の基本構造について図1を用いて説明する。

【0048】図1は半導体装置のDRAMの基本等価回路図である。図1に示されるように、薄膜トランジスタ30のソース領域は、データ線（ビット線）6aに接続され、薄膜トランジスタ30のゲート電極は走査線（ワード線）3aに接続されている。またTFT30のドレイン領域は容量線3cと電気接続された第2容量電極3bとの間で蓄積容量70を備えるように構成されている。このような基本構成を有する本発明における半導体装置の製造方法の実施形態について図を用いて説明する。

【0049】（第1の実施形態）図2（1）～（8）

は、第1の実施形態に係わる半導体装置の製造工程を示す図である。

【0050】工程（1）では、まず石英基板、ハードガラス基板、シリコン基板等のTFTアレイ基板10を用意する。次に、熱処理工程により生ずるTFTアレイ基板10の歪みを少なくするために、予めTFTアレイ基板10を製造プロセスにおける最高温度あるいはそれ以上の温度で熱処理する。本実施形態では、例えば窒素等の不活性ガス雰囲気中で約900℃～1300℃の高温で熱処理する。

【0051】次に、TFTアレイ基板10上に、例え

ば、常圧又は減圧CVD法等によりTEOS（テトラ・エチル・オルソ・シリケート）ガス、TEB（テトラ・エチル・ボートレート）ガス、TMOP（テトラ・メチル・オキシ・フォスレート）ガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地絶縁膜12を形成する。この下地絶縁膜12の膜厚は、例えば、約500～2000nmとする。

【0052】次に、下地絶縁膜12の上に、約450～550℃、好ましくは約500℃の比較的低温環境中で、流量約400～600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD（例えば、圧力約20～40PaのCVD）により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約600～700℃にて約1～10時間、好ましくは、4～6時間の熱処理を施すことにより、ポリシリコン膜1を約50～200nmの厚さ、好ましくは約100nmの厚さとなるまで固相成長させる。固相成長させる方法としては、RTA（Rapid Thermal Anneal）を使った熱処理でも良いし、エキシマレーザー等を用いたレーザー熱処理でも良い。

【0053】この際、半導体層1にSb（アンチモン）、As（砒素）、P（リン）などのV族元素の不純物を僅かにイオン注入等によりドーピングしても良い。また、TFT30をpチャネル型とする場合には、B（ボロン）、Ga（ガリウム）、In（インジウム）などのIII族元素の不純物を僅かにイオン注入等によりドーピングしても良い。尚、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜1を直接形成しても良い。或いは、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化（アモルファス化）し、その後熱処理等により再結晶化させてポリシリコン膜1を形成しても良い。次に、ポリシリコン膜1を第1容量電極1fとソース領域・ドレイン領域・チャネル領域となる半導体層1aにパターニングする。

【0054】次に工程（2）に示されるように、TFT30を構成する半導体層1aと第1容量電極1f上に第1絶縁薄膜2を形成する。この第1絶縁薄膜2の形成方法としては、約900～1300℃の温度、好ましくは約1000℃の温度により半導体層1aと第1容量電極1fを熱酸化することにより形成しても良い。また、別の方法として熱酸化により約30nmの比較的薄い厚さの熱酸化膜を半導体層1aと第1容量電極1fの上に形成した後に、減圧CVD法等により高温酸化シリコン膜（HTO膜）や窒化シリコン膜からなる絶縁膜を約50nmの比較的薄い厚さに堆積することにより2層等の多層膜にしても良い。いずれの方法であったとしても半導体層1aと第1容量電極1fの厚さは、約30～150nmの厚さ、好ましくは約35～50nmの厚さとし、

第1絶縁薄膜2の厚さは、約10～200nmの厚さ、好ましくは約30～100nmの厚さとする。尚、上記2層あるいは多層構造によれば、熱酸化膜を形成する時間が短くなるため、熱によるTFTアレイ基板10のそりを防止するために効果的である。

【0055】次に、第1容量電極1fとなる部分を除く半導体層1a上にレジスト層を形成した後、例えばPイオンをドーピング量約 $3 \times 10^{12} / \text{cm}^2$ でドーピングして、第1容量電極1fを低抵抗化しても良い。

【0056】次に工程（3）に示されるように、減圧CVD法等によりポリシリコン膜を堆積し、更にPを熱拡散し、ポリシリコン膜を導電化する。又は、Pイオンをポリシリコン膜の成膜と同時に導入した低抵抗なポリシリコン膜を用いてもよい。ポリシリコン膜の膜厚は、約100～500nmの厚さ、好ましくは約300nmに堆積し、所望の幅よりも太めの走査線3aと共に第2容量電極3bをパターニングする。これにより、第1容量電極1fと第1絶縁薄膜2を介して第2容量電極を形成することにより、第1蓄積容量が形成される。尚、図1の容量線3cを走査線3a及び第2容量電極3bと同時に形成してもよいし、別層で新たに配線を形成してもよい。

【0057】次に、TFT30をLDD領域を有するnチャネル型のTFTとする場合には、工程（4）に示されるように半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、走査線3aの一部であるゲート電極をマスクとして、Nチャネル型の場合はPなどのV族元素の不純物を、Pチャネル型の場合はBなどのIII族元素の不純物を半導体層1aに $0.5 \sim 5.0 \times 10^{13} / \text{cm}^2$ のドーピング量にてドーピングする。これによりゲート電極下の半導体層1aはチャネル領域1a'となる。

【0058】次に工程（5）に示されるように、TFT30を構成する高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、走査線3aよりも幅の広いレジスト層600を走査線3a上に形成した後、半導体層1aに同じくNチャネル型の場合はPなどのV族元素の不純物を高濃度でPチャネル型の場合はBなどのIII族元素の不純物を例えば、 $0.5 \sim 5.0 \times 10^{15} / \text{cm}^2$ のドーピング量にてドーピングする。これにより、レジスト層600直下の半導体層1aがそれぞれ低濃度ソース領域1b及び低濃度ドレイン領域1cとなる。

【0059】次に工程（6）に示されるように、レジスト層600を除去した後、走査線3a及び第2容量電極3bの表面部分を熱酸化することにより、第2絶縁薄膜81を形成する。即ち、ポリシリコン膜からなる走査線3a及び第2容量電極3bの表面を、例えば900～1200℃にて熱酸化することにより、高耐圧で比較的薄くて欠陥の少ない第2絶縁薄膜81が容易に形成される。工程（4）において所望の幅よりも太めに形成され

10

20

30

40

50

15

たゲート電極をマスクとして半導体層1aに不純物をドーピングした後、工程(6)において、このゲート電極を構成するポリシリコン膜を酸化するため、酸化前のポリシリコン膜に比べて酸化後のポリシリコン膜の外形は小さくなり、当該ゲート電極を含む走査線3a及び第2容量電極3bの幅が減少する。この結果、このゲート電極幅の減少分だけチャネル領域の幅方向についてのゲート電極の端と不純物がドーピングされた領域の端との間に打ち込まれない領域が形成されることになる。従って、工程

(6)の終了時には、ゲート電極の側壁に形成される第2絶縁薄膜81の膜厚に応じたオフセット領域1gがチャネル領域の両端に隣接して形成される。このように走査線3a及び第2容量電極3bを酸化させる場合には、当該酸化による走査線3a及び第2容量電極3bの側壁の後退を考慮して、走査線3a及び第2容量電極3bとして最終的に要求される幅よりも例えば約数10~数100nm程度太めのパターンにリサイジングしておく

【0060】更に本実施形態では工程(6)において、第2絶縁薄膜81を形成すると同時に半導体層1aにドーピングされた不純物の活性化を行うことが可能である。即ち、不純物を結晶格子中に結合させるために必要となる加熱による不純物の活性化処理を、熱酸化膜からなる第2絶縁薄膜81を形成する工程で同時に行うことが出来るため、製造工程の効率化が図れる。

【0061】工程(6)においては、第2絶縁薄膜81上に、減圧CVD法、プラズマCVD法等により高温酸化シリコン膜(HTO膜)や窒化シリコン膜からなる絶縁膜を約200nm以下の比較的薄い厚さに堆積することにより、第2絶縁薄膜81を複数層構造或いは多層構造にしても良い。この場合、第2絶縁薄膜81を薄くする程、第2蓄積容量を大きくすることが可能なので、結局、膜破れなどの欠陥が生じないことを条件に、第1絶縁薄膜2よりも薄い50nm以下の厚みを持つ極薄い絶縁膜となるように第2絶縁薄膜81を形成すると本実施形態の効果を増大させることができる。

【0062】次に工程(7)に示されるように、導電層80aと高濃度ドレイン領域1eとを電気接続するためにコンタクトホール8aを、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより第1絶縁薄膜2に開孔する。このようなドライエッチングは、指向性が高いため、小さな径のコンタクトホール8aを開孔可能である。或いは、コンタクトホール8aが半導体層1aを突き抜けるのを防止するのに有利なウエットエッチングを併用してもよい。このウエットエッチングは、コンタクトホール8aに対し、より良好な導通がとれるためのテーパーを付与する観点からも有効である。また、同時に導電層80bを高濃度ソース領域1dに接続するためにコンタクトホール8a'を8aと同時に開孔しても良い。

16

【0063】次に工程(8)に示されるように、第2絶縁薄膜81及びコンタクトホール8aを介して高濃度ドレイン領域1eの全面に、Al、Ti、Cr、W、Ta、Mo、Cu及びPb等の金属や金属シリサイド等の金属合金膜をスパッタリング等により堆積した後、フォトリソグラフィ及びエッチング処理により、第3容量電極を含む導電層80aを形成する。また、上述のように導電層80bを同時に形成しても良い。尚、導電層80a及び導電層80bの膜厚は、例えば50~500nm程度とされる。50nm程度の厚みがあれば、例えば上層に形成される膜にコンタクトホールを開孔する時に導電層80aを突き抜ける可能性は殆どない。尚、この導電層80a上には、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良い。また、導電層80aには応力緩和のために低抵抗なポリシリコン膜等を用いても良い。この際、下層に低抵抗なポリシリコン膜(導電性のポリシリコン膜)を用いて上層に金属膜を用いて2層以上の積層された導電膜80aを形成してもよい。また、2層のポリシリコン膜の間に金属膜を挟んで3層としてもよい。このように、導電膜80aと高濃度ドレイン領域1eとを電氣的に接続する際に、同じポリシリコン膜で形成すると、コンタクト抵抗を大幅に低減することができる。また、本実施形態では、導電層80a及び80bはビット線として兼用することができる。

【0064】以上説明したように本実施形態の製造プロセスによれば、ポリシリコン膜からなる走査線3a及び第2容量電極3bと、ポリシリコン膜が熱酸化されてなる第2絶縁薄膜81を形成するため、走査線3a及び第2容量電極3bと第2絶縁薄膜81との間で均一性及び密着性の高い良好な界面が得られる。従って、本実施形態の半導体装置の製造方法によれば、簡単な方法及び少ない工程数で薄くて欠陥の少ない高耐圧な第2絶縁薄膜81を形成することができる。しかも第1容量電極1fと第2容量電極3bとにより第1蓄積容量70aが形成され、第2容量電極と導電層80aの一部からなる第3容量電極との間で第2蓄積容量70bが形成されるため、容量を増大させることが可能となる。

【0065】また、不純物を低濃度に打ち込む工程(4)では、走査線3aの一部からなるゲート電極をマスクに用いて、フォトリソグラフィ工程なしに、不純物を低濃度に打ち込むことができる。また、工程(6)で走査線3aの表面を酸化させて第2誘電体膜となる第2絶縁薄膜81を形成するため、当該酸化により走査線3aの一部からなるゲート電極の側壁が後退した分だけ半導体層1a中に不純物がドーピングされないオフセット領域1gが形成される。従って、フォトリソグラフィ工程の負担を軽減しつつ、オフセット領域とLDD領域を備えたTFTと大きな蓄積容量を有する半導体装置を実現することができる。さらに、フォトリソグラフィ工程にお

ける露光装置によるアラインメントずれが原因で発生する特性のばらつきを抑えることができるので、TFT30の短チャネルが可能となり、半導体装置の微細化にも十分対応することができる。

【0066】尚、上述の製造プロセスにおいて、酸化膜を形成する工程（6）以降の各工程は、400℃以下の雰囲気で行われてもよい。このようにすれば、第2絶縁薄膜81を形成した後は、耐熱性の低い材料をその後の導電膜や絶縁膜の形成に用いることができ有利である。

【0067】また、上述の製造プロセスにおいて、第2絶縁薄膜81を形成する工程（6）において、熱酸化ではなく、Ta（タンタル）、Al（アルミニウム）等の陽極酸化可能な金属膜から構成された走査線3a及び第2容量電極3bの表面部を陽極酸化することにより第2絶縁薄膜81を形成しても良い。このような陽極酸化膜は、走査線3a及び第2容量電極3bと酸化膜との間には均一性及び密着性の高い良好な界面が得られる。また、陽極酸化膜は、高耐圧であり薄くて欠陥の少ない絶縁膜として形成可能である。特に、Taの酸化膜である酸化タンタル膜は、誘電率が21.7程度であるため、誘電率が3.9程度である上述の酸化シリコン膜よりも誘電率の高い絶縁膜として得られる。従って、同じルールで設計した場合、酸化タンタル膜の方が大きな蓄積容量を得ることができる。

【0068】本実施形態では、上述のようにオフセット領域とLDD領域の両方を有するTFTを少ない工程で形成することが可能であるが、例えば工程（4）を省略する場合には、半導体層1aへの低濃度な不純物のドーピング工程がなくなり、その結果、LDD領域は形成されずにオフセット領域だけを有するTFT30を形成することも可能である。

【0069】（第2の実施形態）図3（1）～（8）は、第2の実施形態に係わる半導体装置の製造工程を示す図である。

【0070】第2の実施形態では、工程（1）～工程（3）までは第1の実施形態と同じであるので、その説明は省略し、工程（4）以降について説明する。

【0071】工程（4）においては、所望の幅よりも太めに形成された走査線3aの一部からなるゲート電極をマスクとして半導体層1aに高濃度に不純物を例えば、Nチャネル型の場合はPイオンを、Pチャネル型の場合はBイオンを $0.5 \sim 5.0 \times 10^{13} / \text{cm}^2$ のドーズ量にてドーピングする。

【0072】次に工程（5）においては、所望の幅よりも太めに形成された走査線3a及び第2容量電極3bの表面部分を熱酸化、例えば900～1200℃にて熱酸化することにより、第2絶縁薄膜81を形成する。これにより、第1の実施形態と同様に工程（4）においてゲート電極をマスクとして半導体層1aに不純物がドーピング

され、その後の工程（5）において、この走査線3a及び第2容量電極3bを構成するポリシリコン膜を酸化するため、酸化前のポリシリコン膜に比べて酸化後のポリシリコン膜の外形は小さくなり、当該走査線3aの一部であるゲート電極の幅が減少する。この結果、このゲート電極幅の減少分だけチャネル領域の幅方向についてゲート電極の端と不純物がドーピングされた領域の端との間に不純物が打ち込まれない領域が形成される。尚、このように走査線3aを酸化させる場合には、当該酸化による走査線3aの側壁の後退を考慮して、走査線3aとして最終的に要求される幅よりも例えば約数10～数100nm程度太めに走査線3a及び第2容量電極3bをリサイジングしておくが良い。

【0073】更に本実施形態では工程（5）において、第1の実施形態と同様に、第2絶縁薄膜を形成すると同時に半導体層1aにドーピングされた不純物の活性化を行うことが可能である。尚、第1の実施形態と同様な方法で第2絶縁薄膜を多層構造としてもよい。

【0074】次に工程（6）に示されるように、第2絶縁薄膜81直下の半導体層1aに低濃度の不純物がドーピングされるようにゲート電極側壁に形成された第2絶縁薄膜81の縦方向の厚さを考慮した加速エネルギーで、低濃度の不純物を、例えば、Nチャネル型の場合はPイオンを、Pチャネル型の場合は、Bイオンを $0.5 \sim 5.0 \times 10^{13} / \text{cm}^2$ のドーズ量で半導体層1aにドーピングして、低濃度ソース領域1bと低濃度ドレイン領域1cを形成する。

【0075】次に工程（7）及び工程（8）は、第1の実施形態と同様であるので、その説明は省略する。

【0076】尚、本実施形態では、工程（6）の低濃度に不純物をドーピングする工程は、工程（7）の後でも良いし、あるいは工程（8）の後でも良い。

【0077】以上説明したように本実施形態の製造プロセスによれば、ポリシリコン膜からなる走査線3a及び第2容量電極3bとポリシリコン膜の熱酸化膜からなる第2絶縁薄膜81との間で均一性及び密着性の高い良好な界面が得られる。従って、本実施形態によれば、簡単な方法及び少ない工程数で薄くて欠陥の少ない高耐圧な第2絶縁薄膜81を有する半導体装置を製造することができる。

【0078】また、不純物を高濃度に打ち込む工程（4）では、走査線3aの一部からなるゲート電極をマスクとして用いるので、この工程においてフォトリソグラフィ工程なしに不純物をドーピングすることができる。また低濃度の不純物をドーピングする工程（6）においても、走査線3aの側壁に対応する位置に第2絶縁薄膜の厚みにほぼ等しい幅の低濃度ソース領域1b及び低濃度ドレイン領域1cを有するTFT30を形成可能となるため、フォトリソグラフィ工程なしに不純物をドーピングしてLDD領域を形成することができる。このような工程に

より、フォトリソグラフィ工程における露光装置によるアライメントずれが原因で発生する特性のばらつきが生じることもないため、TFTの短チャネル化も可能となる。また、本実施形態では、第1の実施形態に比べてレジスト層600を設ける必要がないため、さらに工程の削減及びアライメントずれの低減で有利である。

【0079】尚、上述の製造プロセスにおいても、酸化膜を形成する工程(5)以降の各工程は、400℃以下の雰囲気で行われてもよい。このようにすれば、第2絶縁薄膜81を形成した後には、耐熱性の低い材料をその後の導電膜や絶縁膜の形成に用いることができ有利である。また、上述の製造プロセスにおいて、第2絶縁薄膜を形成する工程(5)において、熱酸化膜ではなく、Ta、Al等の陽極酸化可能な金属膜から構成された走査線3a及び第2容量電極3bの表面部を陽極酸化することにより陽極酸化膜を形成しても良い。このようにすれば、第1の実施形態で説明したように、酸化タンタル膜等から誘電率が高い第2絶縁薄膜81を比較的容易に形成できる。

【0080】本実施形態では、上述のようにLDD領域を有するTFTを少ない工程で形成することが可能であるが、例えば工程(6)を省略することにより、半導体層1aへの低濃度不純物のドーピングが省かれるため、LDD領域は有さずにオフセット領域を有するTFTを実現することができる。

【0081】(第3の実施形態)第3の実施形態について図4(1)～(8)を用いて説明する。尚、本実施形態においては、(1)～(3)は、第1の実施形態と同様であるのでその説明を省略する。

【0082】本実施形態では、工程(4)に示されるように不純物をドーピングする前に、所望の幅よりも太めに形成された走査線3a及び第2容量電極3bの表面部分を熱酸化することにより、熱酸化膜からなる第2絶縁薄膜81を形成する。即ち、ポリシリコン膜からなる走査線3a及び第2容量電極3bの表面を、例えば900～1200℃にて熱酸化することにより、高耐圧であり比較的薄くて欠陥の少ない酸化膜を比較的容易に形成できる。

【0083】次に工程(5)において、走査線3aと第2絶縁薄膜81の上から、半導体層1aに高濃度の不純物を例えば、Nチャネル型の場合はPイオンを、Pチャネル型の場合はBイオンを半導体層1aに $0.5 \sim 5.0 \times 10^{15} / \text{cm}^2$ のドーピング量にてドーピングする。この場合、半導体層1aに対して走査線3aの一部であるゲート電極がマスクとなってゲート電極の直下の半導体層1aに不純物がドーピングされないことに加えて、ゲート電極の側壁に形成された第2絶縁薄膜81の厚さがマスクとなり、第2絶縁薄膜81直下の半導体層1aには不純物がドーピングされない。

【0084】次に、工程(6)により、走査線3aと第

2絶縁薄膜81の上から、半導体層1aに高濃度の不純物を例えば、Nチャネル型の場合はPイオンを、Pチャネル型の場合はBイオンを半導体層1aのゲート電極の側壁に形成された第2絶縁薄膜の縦方向の厚みを考慮した加速エネルギーで $0.5 \sim 5.0 \times 10^{15} / \text{cm}^2$ のドーピング量にてドーピングする。これにより、半導体層1aのうち走査線の側壁に形成された第2絶縁薄膜81直下の半導体層1aに低濃度不純物がドーピングされて低濃度ソース領域1bと低濃度ドレイン領域1cが形成される。

【0085】尚、工程(6)を省略することにより、オフセット領域のみを有するTFT30を提供することができる。次に、半導体層1aを活性化するために熱処理を行う。また、上記の工程(5)は、工程(6)の後に行っても差し支えない。

【0086】また、工程(7)及び工程(8)は第1の実施形態と同様であるので、その説明は省略する。尚、半導体層1aを活性化するための熱処理は、工程(7)の後、あるいは工程(8)の後で行っても良い。

【0087】本実施形態によれば、フォトリソグラフィ工程を省略してオフセット領域とLDD領域を形成することができるため、歩留まりの低下を防ぐことができる。また、ゲート電極及び第2絶縁薄膜81をマスクとして自己整合的にLDD領域(あるいはオフセット領域)を有したTFTを形成できるため、フォトリソグラフィ工程における露光装置によるアライメントずれが原因で発生する特性のばらつきを抑えることができ、TFTの短チャネル化も可能となる。

【0088】また、本実施形態では、第1及び第2の実施形態と同様に走査線3a及び第2容量電極3bを酸化させて形成したが、本実施形態においては走査線3a及び第2容量電極3bを酸化させることなく形成することができる。即ち、走査線3a及び第2容量電極3bを形成した後、常圧CVD法、減圧CVD法、プラズマCVD法、ECRプラズマ、リモートプラズマ等の装置を利用して第2絶縁薄膜81を成膜するようにすれば、それ以降の工程を本実施形態と同様の工程処理を行うことによって、本実施形態のTFT30を形成できる。この場合、走査線3aや第2容量電極3b等をリサイジングする必要はなく、LDD領域(あるいはオフセット領域)は、堆積される第2絶縁薄膜の膜厚で決めることができる。

【0089】(電気光学装置の構成)上記の半導体装置を基板に有する電気光学装置の一例として液晶装置の構成について図を用いて説明する。図5は、液晶装置を構成する画素群の等価回路図であり、図6は液晶装置を構成する隣接する画素群の平面図であり、図7は図6のA-A'断面図である。

【0090】図5において、本実施形態における液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、画素電極9aと画素電極9aを制御する

10

20

30

40

50

21

ための TFT30 からなり、画像信号が供給されるデータ線 6a が当該 TFT30 のソースに電気接続されている。また、TFT30 のゲート電極に走査線 3a が電気接続されており、所定のタイミングで、走査線 3a にパルス的に走査信号 G1、G2、…、Gm を印加するように構成されている。画素電極 9a は、TFT30 のドレイン領域に電気接続されており、スイッチング素子である TFT30 を一定期間だけそのスイッチを閉じることにより、データ線 6a から供給される画像信号 S1、S2、…、Sn を所定のタイミングで書き込む。画素電極 9a を介して液晶に書き込まれた所定レベルの画像信号 S1、S2、…、Sn は、対向基板（後述する）に形成された対向電極（後述する）との間で一定期間保持される。ここで、保持された画像信号がリークするのを防ぐために、画素電極 9a と対向電極との間に形成される液晶容量と並列に蓄積容量 70 を付加する。

【0091】図 6 は図 5 の等価回路に基づいて隣接画素を示す平面図である。図 6 において、液晶装置の TFT アレイ基板 10 上には、マトリクス状に複数の透明な画素電極 9a（点線部 9a' により輪郭が示されている）が設けられており、画素電極 9a の縦横の境界に各々沿ってデータ線 6a、走査線 3a 及び容量線 3c が設けられている。データ線 6a は、コンタクトホール 5 を介してポリシリコン膜等からなる半導体層 1a のうち後述のソース領域に電気接続されており、画素電極 9a は、図中右上がりの斜線で示した領域に夫々形成された導電層 80a を中継して、コンタクトホール 8a 及びコンタクトホール 8b を介して半導体層 1a のうち後述のドレイン領域に電気接続されている。また、半導体層 1a のうちチャンネル領域 1a'（図中右下りの斜線の領域）に対向するように走査線 3a が配置されており、走査線 3a はゲート電極として機能する。このように、走査線 3a とデータ線 6a との交差する個所には夫々、チャンネル領域 1a' に走査線 3a がゲート電極として対向配置された TFT30 が設けられている。

【0092】容量線 3c は、走査線 3a に沿ってほぼ直線状に伸びる本線部と、データ線 6a と交差する箇所からデータ線 6a に沿って前段側（図中、上向き）に突出した突出部とを有する。

【0093】特に、導電層 80a は夫々、コンタクトホール 8a により半導体層 1a のドレイン領域に電気接続されており、コンタクトホール 8b により画素電極 9a に電気接続されており、半導体層 1a の高濃度ドレイン領域 1e と画素電極 9a との間におけるバッファとして機能している。また、TFT アレイ基板 10 から見て画素スイッチング用 TFT30 の少なくともチャンネル領域 1a を覆うような第 1 遮光膜（図示せず）を設ければ TFT アレイ基板 10 の側からの反射光（戻り光）等がチャンネル領域 1a' への侵入を防ぐことができ、これに起因した光電流の発生による画素スイッチング用 TFT30

22

0 の特性の変化や劣化を防ぐことができる。

【0094】次に図 7 の断面図に示すように、液晶装置は、透明な一方の基板の一例を構成する TFT アレイ基板 10 と、これに対向配置される透明な他方の基板の一例を構成する対向基板 20 とを備えている。TFT アレイ基板 10 は、例えば石英基板からなり、対向基板 20 は、例えばガラス基板や石英基板からなる。TFT アレイ基板 10 には、画素電極 9a が設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜 16 が設けられている。画素電極 9a は例えば、ITO（Indium Tin Oxide）膜などの透明導電性薄膜からなる。また配向膜 16 は例えば、ポリイミド薄膜などの有機薄膜からなる。

【0095】他方、対向基板 20 には、遮光膜 23 と、対向基板全面に渡って対向電極 21 と、ラビング処理等の所定の配向処理が施された配向膜 22 とが設けられている。対向電極 21 は例えば、ITO 膜などの透明導電性薄膜からなる。また配向膜 22 は、ポリイミド薄膜などの有機薄膜からなる。

【0096】本実施形態では、半導体層 1a を高濃度ドレイン領域 1e から延設して第 1 容量電極 1f とし、これに対向する容量線 3c において第 1 蓄積容量電極 1f と重なる部分を第 2 容量電極 3b とし、ゲート絶縁膜となる第 1 絶縁薄膜 2 を走査線 3a に対向する位置から延設してこれらの電極間に挟持された第 1 誘電体膜とすることにより、第 1 蓄積容量 70a が構成されている。尚、容量線 3c と第 2 容量電極 3b は本実施形態のように同一膜で形成されても良いし、別層の容量線を設け、島状の第 2 容量電極 3b と電気接続するようにしても良い。更に、この第 2 容量電極と対向する導電層 80a の一部を第 3 容量電極とし、これらの電極間に第 2 誘電体膜である第 2 絶縁薄膜 81 を設けることにより、第 2 蓄積容量 70b が形成されている。そして、これら第 1 蓄積容量 70a 及び第 2 蓄積容量 70b がコンタクトホール 8a を介して並列接続されて蓄積容量 70 が構成されている。

【0097】ここで第 1 絶縁薄膜 2 は、高温酸化によりポリシリコン膜上に形成される TFT30 の酸化膜とすれば、薄く且つ高耐圧、長寿命、膜厚の均一性に優れた絶縁膜とすることができ、第 1 蓄積容量 70a は比較的小面積で大容量の蓄積容量として構成できる。

【0098】（電気光学装置の製造方法）次に本実施形態の電気光学装置の製造方法について図を用いて説明する。尚、本実施形態においては、上記の半導体装置の製造方法における TFT30（本実施形態では画素スイッチング用 TFT）及び蓄積容量 70 を同様に形成することが可能である。

【0099】図 8 は、電気光学装置の製造方法を説明する工程断面図である。工程（1）～工程（8）までは、上述の第 1 の実施形態 1 乃至第 3 の実施形態のいずれか

を採用することが可能であり、その説明は省略し、工程（９）以降について説明する。

【０１００】工程（９）に示されるように、第２誘電体膜 ８１及び導電層 ８０ａを覆うように、例えば、常圧又は減圧ＣＶＤ法やＴＥＯＳガス等を用いて、ＮＳＧ、ＰＳＧ、ＢＳＧ、ＢＰＳＧなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第１層間絶縁膜 ４を形成する。第１層間絶縁膜 ４の膜厚は、約 ５００～１５００ｎｍが好ましい。次にデータ線 ６ａと高濃度ソース領域 １ｄとを接続させるために、第１絶縁薄膜 ２及び第１層間絶縁膜 ４にコンタクトホール ５をエッチングにより開孔する。

【０１０１】次に、工程（１０）に示されるように、第１層間絶縁膜 ４上にデータ線 ６ａとなるＡ１等の導電性の金属膜をスパッタリング等により形成する。

【０１０２】次に、工程（１１）に示されるように、データ線 ６ａ上に第２層間絶縁膜 ７を前述した下地絶縁膜 １２及び第１層間絶縁膜 ４と同様にＣＶＤ法等により形成し、第１層間絶縁膜 ４及び第２層間絶縁膜 ７にコンタクトホール ８ｂをエッチングにより開孔する。

【０１０３】次に、工程（１２）に示されるように、ＩＴＯ膜からなる画素電極 ９ａを第２コンタクトホール ８ｂを介して導電層 ８０ａと導通がとれるように所定パターンで形成する。データ線 ６ａは、約 １００～５００ｎｍ、好ましくは約 ３００ｎｍ程度に堆積し、第２層間絶縁膜 ７は、約 ５００～１５００ｎｍ程度に堆積するとよい。更に、画素電極 ９ａは、約 ５０～２００ｎｍ程度の厚さに堆積するとよい。尚、当該電気光学装置を反射型の液晶装置に用いる場合には、画素電極 ９ａをＡ１等の反射率の高い不透明な材料で形成してもよい。

【０１０４】上述のように液晶装置の場合は、導電層 ８０ａ上に第１層間絶縁膜 ４を介してデータ線 ６ａが形成され、データ線 ６ａ上に第２層間絶縁膜 ７を介して画素電極 ９ａが形成されており、高濃度ドレイン領域 １ｅは導電層 ８０ａを介して画素電極 ９ａに接続されている。液晶装置において、例えば画素電極 ９ａにＩＴＯ膜を用いて、データ線 ６ａに低抵抗なＡ１膜を用いる場合、データ線 ６ａと導電層 ８０ａとを同時に同一膜で形成すると、ＩＴＯ膜とＡ１膜とが電気腐食を生じ、良好な電気接続が得られなくなる可能性があるため、できるだけ導電層 ８０ａとデータ線 ６ａとは別層で異なる材料で形成することが好ましい。かかる問題に対して本液晶装置によれば、ＩＴＯ膜からなる画素電極 ９ａはＡ１膜からなるデータ線 ６ａとは異なる層である導電層 ８０ａを介してドレイン領域 １ｅに接続されるため、電気腐食の発生を防ぐことができる。

【０１０５】以上説明したように本実施形態の製造プロセスによれば、ポリシリコン膜からなる走査線 ３ａ及び第２容量電極 ３ｂとポリシリコン膜が熱酸化されてなる第２絶縁薄膜 ８１との間で均一性及び密着性の高い良好

な界面が得られており、高耐圧であり比較的薄くて欠陥の少ない誘電体膜を形成することができ、しかも少ない工程数で且つ簡単な各工程を用いて電気光学装置を製造することができる。

【０１０６】上述の工程によれば、フォトリソグラフィ工程の負担を軽減しつつ、大きな蓄積容量が付加されており、オフセット領域あるいは、ＬＤＤ領域、あるいはオフセット領域及びＬＤＤ領域を有する高性能のＴＦＴ ３０を製造できる。しかも、フォトリソグラフィ工程における露光装置によるアラインメントずれが原因で発生する特性のばらつきを抑えることができるため、ＴＦＴの短チャネルが可能となり、電気光学装置の微細化にも十分対応することができる。

【０１０７】尚、上述の製造プロセスにおいて、半導体装置の製造方法で説明したように、第２絶縁薄膜 ８１を形成する工程以降の各工程は、４００℃以下の雰囲気で行われてもよいので、第２絶縁薄膜 ８１を形成した後は、耐熱性の低い材料をその後の導電膜や絶縁膜の形成に用いることができ有利である。

【０１０８】尚、導電層 ８０ａと画素電極 ９ａの間に更に、他の一又は複数の導電層を層間絶縁膜を介して積層形成することにより、限られたＴＦＴアレイ基板 １０上の領域を利用して更に立体的に蓄積容量を増大させることも可能である。

【０１０９】以上の如く、本実施形態における画素スイッチング用ＴＦＴ ３０は、半導体装置の製造方法の第１の実施形態乃至第３の実施形態のいずれかを用いてオフセット領域、ＬＤＤ領域あるいはその両方の領域を有するため、画素スイッチングのために重要なオフ電流特性が、極めて良好とされる。

【０１１０】尚、本実施形態では、画素スイッチング用ＴＦＴ ３０の走査線 ３ａの一部からなるゲート電極を高濃度ソース領域 １ｄ及び高濃度ドレイン領域 １ｅ間に１個のみ配置したシングルゲート構造としたが、これらの間に２個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート或いはトリプルゲート以上でＴＦＴを構成すれば、チャネルとソースドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも１個をＬＤＤ構造或いはオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

【０１１１】本実施形態の電気光学装置では特に、ＴＦＴアレイ基板 １０上には、データ線 ６ａ及び走査線 ３ａが第１層間絶縁膜 ４を介して立体的に相交差するように設けられている。そして、導電層 ８０ａは、半導体層 １ａと画素電極 ９ａとの間に介在しており、高濃度ドレイン領域 １ｅと画素電極 ９ａとをコンタクトホール ８ａ及び ８ｂを経由して電気接続する。

【0112】このため、画素電極9aからドレイン領域まで一つのコンタクトホールを開孔する場合と比較して、コンタクトホール8a及び8bの径を夫々小さくできる。即ち、一つのコンタクトホールを開孔する場合には、エッチング時の選択比が低いとコンタクトホールを深く開孔する程エッチング精度は落ちるため、例えば50nm程度の非常に薄い半導体層1aにおける突き抜けを防止するためには、コンタクトホールの径を小さくできるドライエッチングを途中で停止して、最終的にウエットエッチングで半導体層1aまで開孔するように工程を組まねばならない。或いは、ドライエッチングによる突き抜け防止用のポリシリコン膜を別途設けたりする必要が生じてしまうのである。これに対して本実施形態では、画素電極9a及び高濃度ドレイン領域1eを2つの直列なコンタクトホール8a及び8bにより接続すればよいので、これらコンタクトホール8a及び8bを夫々、ドライエッチングにより開孔することが可能となる。或いは、少なくともウエットエッチングにより開孔する距離を短くすることが可能となる。但し、コンタクトホール8a及び8bに夫々、若干のテーパーを付けるために、ドライエッチング後に敢えて比較的短時間のウエットエッチングを行うようにしてもよい。

【0113】以上のように本実施形態によれば、コンタクトホール8a及び8bの径を夫々小さくでき、コンタクトホール8aにおける導電層80aの表面に形成される窪みや凹凸も小さくて済むので、その上方に位置する画素電極9aの部分における平坦化が促進される。更に、コンタクトホール8bにおける画素電極9aの表面に形成される窪みや凹凸も小さくて済むので、この画素電極9aの部分における平坦化が促進される。

【0114】また、導電層80aの形成工程の後に行われる高温処理により、導電層80aが破壊されたり溶融しないようにできる。加えて、このような導電層80aをA1以外の高融点金属で形成すれば、画素電極9aを構成するITO膜と電気腐食し難いため、コンタクトホール8bを介して導電層80a及び画素電極9a間で良好な導通がとれる。また、導電層80aの膜厚は、例えば50nm以上500nm以下程度とするのが好ましい。50nm程度の厚みがあれば、製造プロセスにおけるコンタクトホール8bの開孔時に突き抜ける可能性は低くなり、また500nm程度であれば画素電極9aの表面の凹凸は問題とならないか或いは比較的容易に平坦化可能だからである。

【0115】尚、コンタクトホール8a、8b及び5の平面形状は、円形や四角形或いはその他の多角形状等でもよいが、円形は特にコンタクトホールの周囲の層間絶縁膜等におけるクラック防止に役立つ。そして、良好な電気接続を得るために、ドライエッチング後にウエットエッチングを行って、これらのコンタクトホール8a、8b及び5に夫々若干のテーパーをつけることが好まし

い。

【0116】（電気光学装置の全体構成）以上のように構成された各実施形態における電気光学装置の一例である液晶装置の全体構成を図9及び図10を参照して説明する。尚、図9は、TFTアレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図10は、図9のH-H'断面図である。

【0117】図9において、TFTアレイ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、例えば遮光膜23と同じ或いは異なる材料から成る画像表示領域の周辺を規定する遮光性の額縁53が設けられている。シール材52の外側の領域には、データ線6aに画像信号を所定タイミングで供給することによりデータ線6aを駆動するデータ線駆動回路101及び外部回路接続端子102がTFTアレイ基板10の一边に沿って設けられており、走査線3aに走査信号を所定タイミングで供給することにより走査線3aを駆動する走査線駆動回路104が、この一边に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのなら、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線6aは画像表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画像表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線6aを櫛歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更にTFTアレイ基板10の残る一边には、画像表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレイ基板10と対向基板20との間で電気的な導通をとるための導通材106が設けられている。そして、図10に示すように、図9に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレイ基板10に固着されている。尚、TFTアレイ基板10上には、これらのデータ線駆動回路101、走査線駆動回路104等に加えて、複数のデータ線6aに画像信号を所定のタイミングで印加するサンプリング回路103、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。尚、本実施形態によれば、対向基板20上の遮光膜23はTFTアレイ基板10の遮光領域よりも小さく形成すれば良い。また、液晶装置の用途により、遮光膜23は容易に取り除くことができる。

【0118】以上図1から図10を参照して説明した各実施形態では、データ線駆動回路101及び走査線駆動回路104をTFTアレ基板10の上に設ける代わりに、例えばTAB (Tape Automated Bonding)基板上に実装された駆動用LSIに、TFTアレ基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレ基板10の出射光が出射する側には各々、例えば、TN (Twisted Nematic) モード、VA (Vertically Aligned)モード、PDLC (Polymer Dispersed Liquid Crystal)モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に依じて、偏光フィルム、位相差フィルム、偏光板などが所定の方角で配置される。

【0119】以上説明した各実施形態における液晶装置は、カラー液晶プロジェクタに適用されるため、3枚の液晶装置がR (赤) G (緑) B (青) 用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のダイクロミックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、遮光膜23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。あるいは、TFTアレ基板10上のRGBに対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、液晶プロジェクタ以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に各実施形態における液晶装置を適用できる。更に、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい液晶装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロミックフィルタを形成してもよい。このダイクロミックフィルタ付き対向基板によれば、より明るいカラー液晶装置が実現できる。

【0120】以上説明した液晶装置に関する実施形態では、従来と同様に入射光を対向基板20の側から入射することとしたが、TFTアレ基板10と下地絶縁膜12との間に遮光膜 (図示せず) を設ければ、TFTアレ基板10の側から入射光を入射し、対向基板20の側から出射するようにしても良い。即ち、このように液晶装置を液晶プロジェクタに取り付けても、半導体層1aのチャンネル領域1a' に光が入射することを防ぐことができ、高画質の画像を表示することが可能である。ここで、従来は、TFTアレ基板10の裏面側での反射を防止するために、反射防止用のAR (Anti Reflection) 被膜された偏光板を別途配置したり、ARフィルムを貼

り付ける必要があったが、各実施形態では、TFTアレ基板10の表面と半導体層1aの少なくともチャンネル領域1a' との間に遮光膜を形成すれば、このようなAR被膜された偏光板やARフィルムを用いたり、TFTアレ基板10そのものをAR処理した基板を使用する必要がなくなる。従って、各実施形態によれば、材料コストを削減でき、また偏光板貼り付け時に、こみ、傷等により、歩留まりを落とすことがなく大変有利である。また、耐光性が優れているため、明るい光源を使用したり、偏光ビームスプリッタにより偏光変換して、光利用効率を向上させても、光によるクロストーク等の画質劣化を生じない。

【0121】以上の如く、本実施形態におけるTFT30は、半導体装置の製造方法の第1の実施形態乃至第3の実施形態のいずれかを用いてオフセット領域、LDD領域あるいはその両方の領域を有するため、画素スイッチングのために重要なオフ電流特性が、極めて良好とされる。また、本発明の半導体装置の製造方法及び電気光学装置の製造方法は、上述した各実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う半導体装置や電気光学装置等もまた本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【図1】半導体装置の実施形態の基本構成を示すDRAMの基本等価回路図である。

【図2】第1の実施形態の半導体装置の製造方法の工程断面図である。

【図3】第2の実施形態の半導体装置の製造方法の工程断面図である。

【図4】第3の実施形態の半導体装置の製造方法の工程断面図である。

【図5】電気光学装置の実施形態における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【図6】電気光学装置の実施形態におけるデータ線、走査線、画素電極が形成されたTFTアレ基板の相隣接する複数の画素群の平面図である。

【図7】図6のA-A' 断面図である。

【図8】電気光学装置の製造方法の工程断面図である。

【図9】各実施形態の電気光学装置の一例としての液晶装置におけるTFTアレ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図10】図7のH-H' 断面図である。

【符号の説明】

1a…半導体層

1a' …チャンネル領域

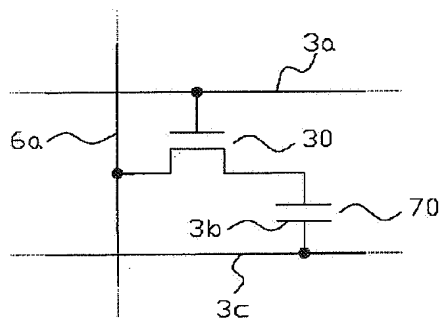
1b…低濃度ソース領域

1c…低濃度ドレイン領域

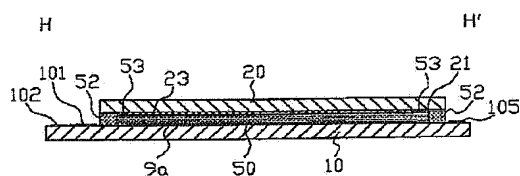
1d…高濃度ソース領域

- 1 e…高濃度ドレイン領域
- 1 f…第1容量電極
- 1 g…オフセット領域
- 2…第1絶縁薄膜
- 3 a…走査線
- 3 b…第2容量電極
- 3 c…容量線
- 4…第1層間絶縁膜
- 5…コンタクトホール
- 6 a…データ線
- 7…第2層間絶縁膜
- 8 a…コンタクトホール
- 8 b…コンタクトホール
- 9 a…画素電極
- 1 0…TFTアレイ基板

【図1】

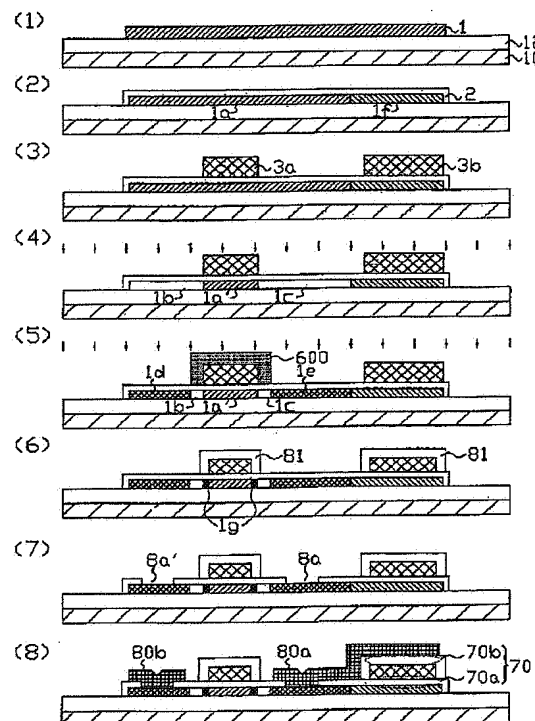


【図10】

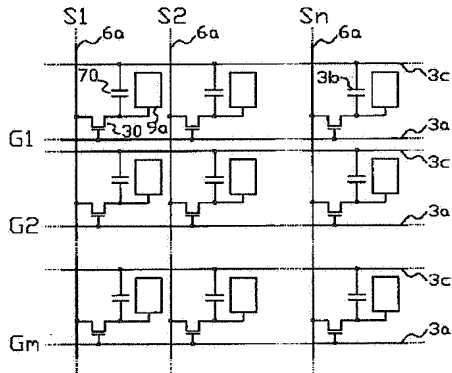


- * 1 2…下地絶縁膜
- 1 6…配向膜
- 2 0…対向基板
- 2 1…対向電極
- 2 2…配向膜
- 2 3…遮光膜
- 3 0…TFT
- 5 0…液晶層
- 5 2…シール材
- 10 5 3…額縁
- 7 0…蓄積容量
- 8 0 a…導電層
- 8 1…第2絶縁薄膜
- 1 0 1…データ線駆動回路
- * 1 0 4…走査線駆動回路

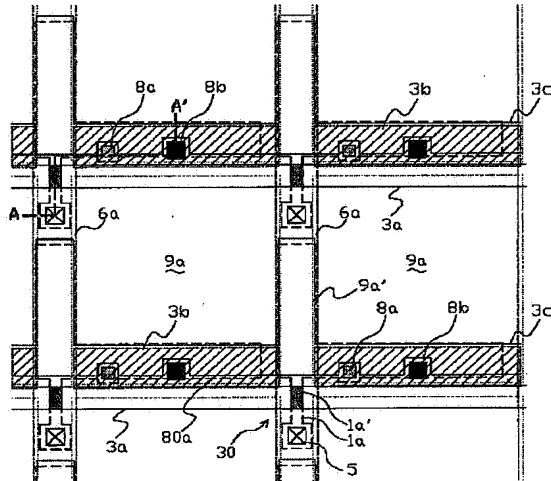
【図2】



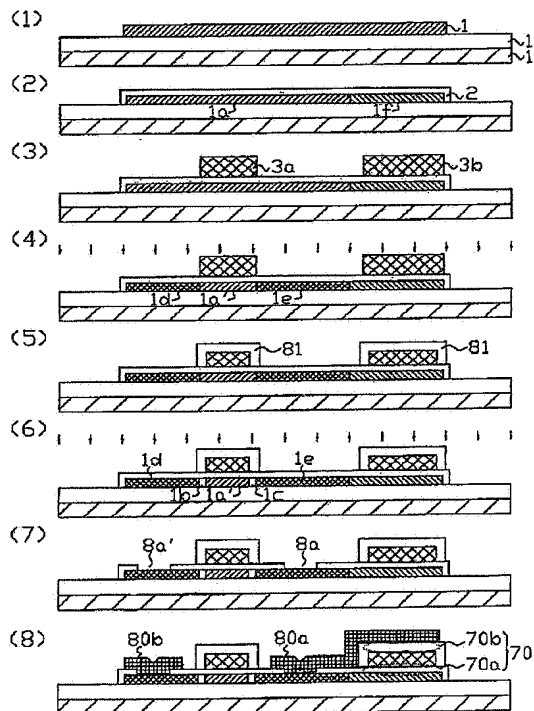
【図5】



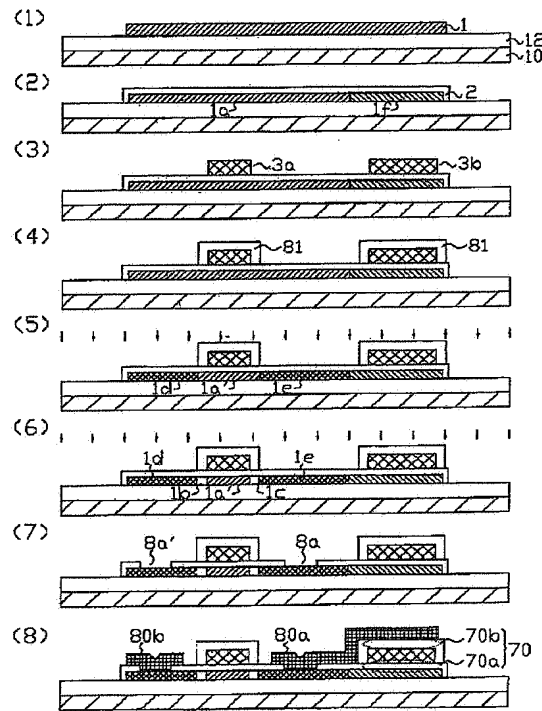
【図6】



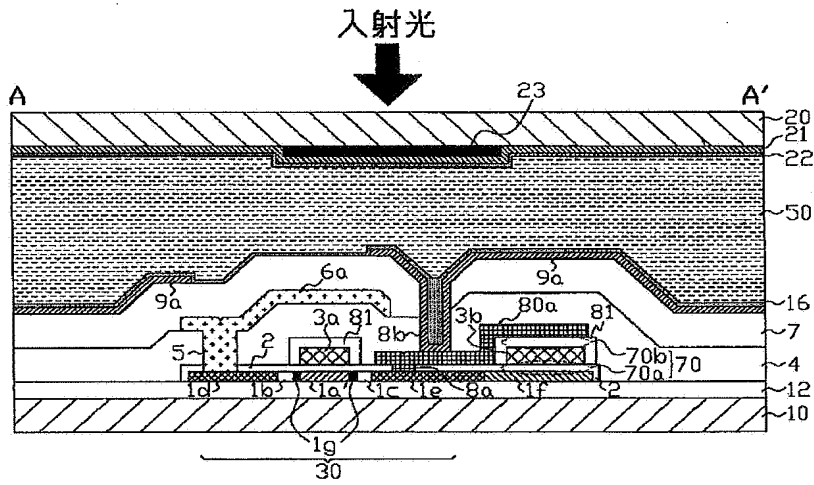
【図3】



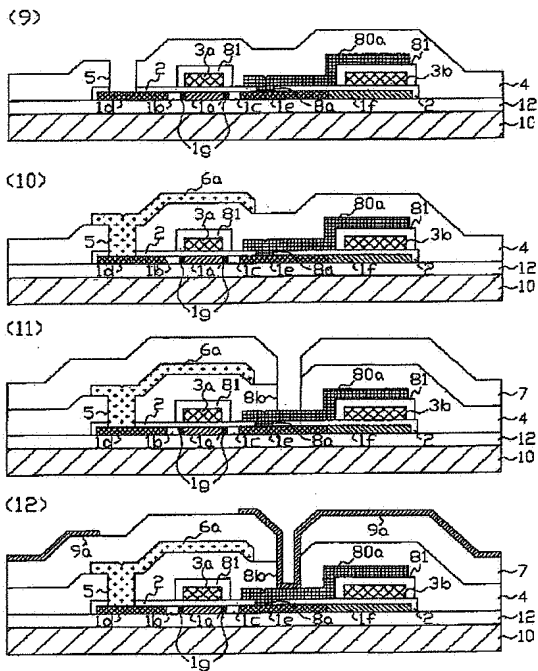
【図4】



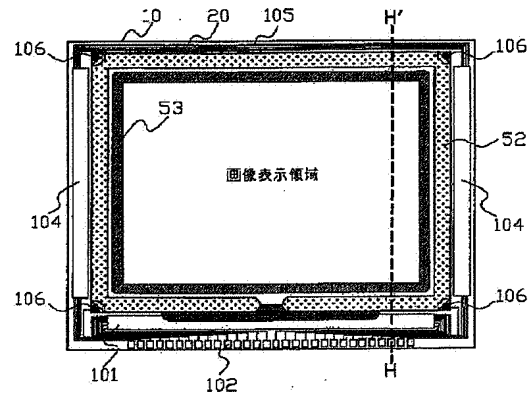
【図 7】



【図 8】



【図 9】



フロントページの続き

(56)参考文献 特開 平4-333828(JP, A)
特開 平6-112222(JP, A)
特開 平5-166837(JP, A)
特開 平7-321329(JP, A)
特開 平5-36624(JP, A)
特開 平4-291240(JP, A)
特開 平4-133035(JP, A)
国際公開95/34916(WO, A1)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 29/786

H01L 21/336

G02F 1/1368